

学校编码: 10384

分类号_____密级_____

学号: X2012222029

UDC_____

廈門大學

工程硕士学位论文

基于即时数字滤波器的高精度 Σ - Δ ADC
设计研究

Research and Design on the Instant Digital Filter of
High Precision Sigma-Delta ADC

林超

指导教师姓名: 郭东辉 教授

专业名称: 电子与通信工程

论文提交日期: 2015 年 月

论文答辩时间: 2015 年 月

学位授予日期: 2015 年 月

答辩委员会主席:

评阅人:

2015 年 月

厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为()课题(组)的研究成果,获得()课题(组)经费或实验室的资助,在()实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名):

年 月 日

厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

1. 经厦门大学保密委员会审查核定的保密学位论文，
于 年 月 日解密，解密后适用上述授权。

2. 不保密，适用上述授权。

声明人（签名）：

年 月 日

摘要

Σ - Δ ADC 采用过采样和噪声整形技术大大提高了信噪比,广泛应用于高精度数据转换领域,正在朝着高精度、低成本、低功耗的方向发展,其中的关键模块是影响整个芯片性能的主要因素。因此研究高阶 Σ - Δ 调制器的稳定性,优化高阶数字滤波器面积,并实现快速输出有效转换数据的即时数字滤波器具有现实意义。

论文在深入研究 Σ - Δ ADC 基本架构及其原理的基础上,首先从提高信噪比的角度介绍了 Σ - Δ 调制器的低高阶实现电路,并采用根轨迹法对其稳定性进行了分析。然后介绍了数字滤波器的两种常用实现结构 Hogenauer CIC 和 Multirate,分别对它们的面积和功耗进行了分析比较,并研究高精度低速 Σ - Δ ADC 芯片的模拟电路和数字电路的功耗比重,来选择具有面积优势的 Hogenauer CIC 结构,最后对其进行了面积优化。接着根据应用场合对于建立时间和精度的不同需求,介绍了采用零延迟技术实现即时数字滤波器的两个方法,包括高低阶组合方法和高低速组合方法。最后介绍了两个四阶即时数字滤波器的硬件实现,包括电路设计和 FPGA 验证。

论文工作的主要成果体现在以下几个方面:

(1) 采用根轨迹法分析一位单环 Σ - Δ 调制器开环传递函数的零极点分布和稳定性,并通过 Simulink 进行数字建模,分析验证了根轨迹法研究 Σ - Δ 调制器稳定性的可行性。

(2) 通过对传统 Hogenauer CIC 结构进行面积优化,包括优化微分器部分的延时单元和优化最后一级输出数据位宽,相比传统 Hogenauer CIC 结构,面积减少了 16%。

(3) 采用高低阶组合方法和高低速组合方法实现即时数字滤波器,相比传统的四阶数字滤波器,建立时间分别从 4 个数据输出周期提高到 2 个数据输出周期和 1 个数据输出周期。

另外,本文使用模拟 Σ - Δ 调制器的输出位流信号作为数字滤波器的信号源,将所设计的数字滤波器下载至 Altera 开发板进行板级测试。

关键词: Σ - Δ ADC; 根轨迹法; 快速建立; 高低阶组合; 高低速组合

Abstract

Σ - Δ ADC can greatly improve the signal-to-noise ratio by oversampling and noise-shaping technology, widely used in high precision data conversion field, and toward the trend of high precision, low cost, low power consumption. The stability of high-order Σ - Δ modulator, high-order digital filter area optimization, and instant digital filter realization become the priorities of today's research.

Firstly, we introduce the implementation of Σ - Δ modulator from the perspective of improving the signal-to-noise ratio and analyze the stability of Σ - Δ modulator using root locus plot. Secondly, we introduce the two common structure of digital filter as Hogenauer's CIC and multirate. By analyzing and comparing their area and power consumption respectively, and studying the proportion of power consumption of the analog circuit and the digital circuit of the high precision low speed Σ - Δ ADC chip, we choose Hogenauer's CIC which has the area advantage and optimize its area. Thirdly, we introduce the realization method of zero latency technology, including high-low order combination method and high-low speed combination method. Finally, we introduce the realization of four-order instant digital filter, including circuit design and FPGA verification. The main achievements of this paper are stated below:

(1) Adopting root locus plot to analyze the reason for the stability of single-loop Σ - Δ modulator, and verifying the feasibility of the root locus plot by using the digital modeling of Simulink.

(2) By optimizing the area of traditional Hogenauer's CIC structure, including the delay unit of differentiator and the last output data bit width, the area decreases 16% comparing with the traditional Hogenauer's CIC structure.

(3) Adopting the high-low order combination method and high-low speed combination method to realize the instant digital filter respectively. Compared to the traditional four-order digital filter, the settle time decreases from the 4 output data period to 2 output data period and 1 output data period respectively.

In addition, this paper uses analog Σ - Δ modulator output signal as the signal source of the digital filter and the design of digital filter is downloaded into altera development board to board level test.

Keywords: Σ - Δ ADC; root locus plot; fast settle time; high-low order combination method; high-low speed combination method

目录

第一章绪论	1
1.1 研究背景.....	1
1.2 相关技术发展现状.....	2
1.3 关键技术及其研究现状.....	4
1.3.1 $\Sigma-\Delta$ 调制器技术.....	4
1.3.2 数字滤波技术.....	6
1.3.3 零延迟技术.....	7
1.4 论文工作和章节安排.....	9
1.4.1 论文工作.....	9
1.4.2 章节安排.....	9
第二章 $\Sigma-\Delta$ ADC 架构与工作原理	11
2.1 $\Sigma-\Delta$ ADC 工作原理.....	11
2.1.1 $\Sigma-\Delta$ ADC 的架构.....	11
2.1.2 $\Sigma-\Delta$ 调制器工作原理.....	12
2.1.3 量化误差.....	17
2.1.4 过采样技术.....	19
2.1.5 噪声整形技术.....	20
2.2 数字滤波器工作原理.....	21
2.3 即时数字滤波器.....	26
2.4 本章小结.....	26
第三章 $\Sigma-\Delta$ 调制器设计	27
3.1 $\Sigma-\Delta$ 调制器实现.....	27
3.1.1 一阶 $\Sigma-\Delta$ 调制器.....	27
3.1.2 二阶 $\Sigma-\Delta$ 调制器.....	29
3.1.3 高阶 $\Sigma-\Delta$ 调制器.....	32
3.2 $\Sigma-\Delta$ 调制器稳定性.....	34
3.2.1 量化器的可变增益模型.....	34
3.2.2 一阶 $\Sigma-\Delta$ 调制器稳定性分析.....	35

3.2.3 二阶 $\Sigma-\Delta$ 调制器稳定性分析.....	36
3.2.4 高阶 $\Sigma-\Delta$ 调制器稳定性分析.....	38
3.3 电路仿真与结果分析.....	40
3.4 本章小结.....	46
第四章级联积分梳状滤波器设计	47
4.1 置换原则	47
4.2 滤波器字长问题.....	47
4.3 Hogenauer CIC.....	48
4.3.1 Hogenauer CIC 结构	48
4.3.2 Hogenauer CIC 面积	49
4.3.3 Hogenauer CIC 功耗	52
4.4 Multirate.....	53
4.4.1 Multirate 结构	54
4.4.2 Multirate 面积	54
4.4.3 Multirate 功耗	57
4.5 Hogenauer CIC 和 Multirate 比较	57
4.5.1 面积比较.....	58
4.5.2 功耗比较.....	59
4.6 Hogenauer CIC 面积优化	60
4.6.1 高精度低速 $\Sigma-\Delta$ ADC 应用说明.....	60
4.6.2 Hogenauer CIC 面积优化	60
4.7 电路仿真与结果分析.....	63
4.8 本章小结.....	64
第五章零延迟技术的实现	65
5.1 数字滤波器建立时间.....	65
5.2 高低阶组合方法.....	66
5.2.1 高阶和低阶数字滤波器的特点.....	66
5.2.2 高低阶实现结构.....	69
5.3 高低速组合方法.....	71
5.3.1 高速和低速数字滤波器的特点.....	71

5.3.2 高低速实现结构.....	72
5.4 电路仿真与结果分析.....	73
5.4.1 高低阶组合方法.....	74
5.4.2 高低速组合方法.....	74
5.5 本章小结.....	76
第六章系统板级设计实现和测试验证.....	77
6.1 即时数字滤波器的设计.....	77
6.2 即时数字滤波器的验证.....	77
6.2.1 系统板级验证平台.....	77
6.2.2 各数字滤波器精度.....	78
6.2.3 高低阶组合方法.....	81
6.2.4 高低速组合方法.....	82
6.3 本章小结.....	83
第七章总结与展望.....	84
7.1 工作总结.....	84
7.2 工作展望.....	85
参考文献.....	86
硕士期间取得的成果.....	93
致谢.....	94

CONTENTS

Chapter 1 Introduction	1
1.1 Research Background.....	1
1.2 Current Situation of Related Technology.....	2
1.3 Key Technology and Research Progress.....	4
1.3.1 Σ - Δ Modulator Technology.....	4
1.3.2 Digital Filter Technology.....	6
1.3.3 Zero Latency Technology.....	7
1.4 Main Research Work and Chapter Arrangement.....	9
1.4.1 Main Research Work.....	9
1.4.2 Chapter Arrangement.....	9
Chapter 2 Σ-Δ ADC Structure and Principle.....	11
2.1 Principle of Σ - Δ ADC.....	11
2.1.1 Circuit Structure of Σ - Δ ADC.....	11
2.1.2 Principle of Σ - Δ Modulator.....	12
2.1.3 Quantization Error.....	17
2.1.4 Oversampling Technology.....	19
2.1.5 Noise-Shaping Technology.....	20
2.2 Principle of Digital Filter.....	21
2.3 Instant Digital Filter.....	26
2.4 Chapter Summary.....	26
Chapter 3 Σ-Δ Modulator Design.....	27
3.1 Implementation of Σ - Δ Modulator.....	27
3.1.1 First-Order Σ - Δ Modulator.....	29
3.1.2 Second-Order Σ - Δ Modulator.....	29
3.1.3 High-Order Σ - Δ Modulator.....	32
3.2 Stability of High-Order Σ - Δ Modulator.....	34
3.2.1 Variable Gain Model of Quantizer.....	34
3.2.2 Stability Analysis of First-Order Σ - Δ Modulator.....	35
3.2.3 Stability Analysis of Second-Order Σ - Δ Modulator.....	36
3.2.4 Stability Analysis of High-Order Σ - Δ Modulator.....	38
3.3 Simulation Results and Analysis.....	40

3.4 Chapter Summary.....	46
Chapter 4 Cascadee Integrator-Comb Filter Design	47
4.1 Commutative Rule.....	47
4.2 Word Width of Digital Filter.....	47
4.3 Hogenauer CIC.....	48
4.3.1 Structure of Hogenauer CIC	48
4.3.2 Area of Hogenauer CIC	49
4.3.3 Power of Hogenauer CIC	52
4.4 Multirate	53
4.4.1 Structure of Multirate	54
4.4.2 Area of Multirate	54
4.4.3 Power of Multirate.....	57
4.5 Comparision of Hogenauer CIC and Multirate	57
4.5.1 Area Comparision.....	58
4.5.2 Power Comparison	59
4.6 Area Optimization of Hogenauer CIC	60
4.6.1 Application Specification of High Precision and Low Speed Σ - Δ ADC	60
4.6.2 Area Optimization of Hogenauer CIC.....	60
4.7 Simulation Results and Analysis.....	63
4.8 Chapter Summary.....	64
Chapter 5 Zero Latency Design	65
5.1 Settle Time of Digital Filter	65
5.2 High-Low Order Combination Method.....	66
5.2.1 Feature of High-Order and Low-Order Digital Filter.....	66
5.2.2 Structure of High-Low Order Combination Method.....	69
5.3 High-Low Speed Combination Method	71
5.3.1 Feature of High-Speed and Low-Speed Digital Filter.....	71
5.3.2 Structure of High-Low Speed Combination Method	72
5.4 Simulation Results and Analysis.....	73
5.4.1 High-Low Order Combination Method	74
5.4.2 High-Low Speed Combination Method	74
5.5 Chapter Summary.....	76
Chapter 6 System Level Design and Verification	77

6.1 Instant Digital Filter Design.....	77
6.2 Instant Digital Filter Verification.....	77
6.2.1 System Level Verificaion Platform.....	77
6.2.2 Digital Filter Noise.....	78
6.2.3 High-Low Speed Combination Method.....	81
6.2.4 High-Low Speed Combination Method.....	82
6.3 Chapter Summary.....	83
Chapter 7 Work Summary and Future Research.....	84
7.1 Work Summary.....	84
7.2 Future Research.....	85
Reference.....	86
Results during the master's.....	93
Achnowledge.....	94

厦门大学博硕士学位论文摘要

第一章 绪论

1.1 研究背景

近年来,随着超大规模集成电路技术和工艺水平的进步,数字集成电路的规模逐渐增大,带动着数字信号处理技术朝着成熟和完善的方向发展。众所周知,真实世界中存在的物理量几乎都是模拟量,模数转换器(ADC: Analog to Digital Converter)作为连接模拟世界和数字世界的桥梁,其发展水平不仅代表一个国家核心科技水平的竞争力,也对国民经济的发展起到了重要作用^[1]。

ADC 按照采样频率和信号带宽的关系,可以分成奈奎斯特 ADC 和过采样 ADC 两大类^{[2][3]}。奈奎斯特 ADC 以等于或稍高于信号的奈奎斯特频率对输入信号进行采样,主要包括 SAR ADC、Pipeline ADC、Flash ADC 等,具有转换速度快、信号输入带宽大的优点,但是受模拟元件匹配程度的限制,精度很难再提高。过采样 ADC 以远高于信号的奈奎斯特频率对输入信号进行采样,应用最广的是 Σ - Δ ADC,其采用过采样和噪声整形两个核心技术大大提高了信噪比,而且它不要求高精度的模拟元件匹配和高性能的前端抗混叠滤波器,可以采用标准 CMOS 工艺与其它数字电路模块集成,提高了芯片的集成度。过采样 Σ - Δ 调制技术广泛应用于高精度、中低速模数转换器,特别适用于计量称重、音频信号处理、电能计量、无线通信等高精度应用场合^{[4]-[6]}。

表 1-1 和 1-2 列出了国外和国内主要高精度 Σ - Δ ADC 厂家的部分代表性产品。对比表 1-1 和 1-2,可以发现国内和国外的先进产品在精度上还有一定差距,而低成本、低功耗的性能要求是 Σ - Δ ADC 芯片实际推广需要考量的重要性能指标,因此,研究高精度、低成本和低功耗的 Σ - Δ ADC 有着重要的意义。

表 1-1: 国外主要高精度低速 Σ - Δ ADC 厂家代表性产品

公司	型号	有效位数 bits@5V	结构	模拟功耗 mA@5V	数字功耗 mA@5V
ADI	AD7190 ^[7]	22.7@10Hz,128x	四阶滤波器	5.5	0.5
CS	CS5532 ^[8]	23.1@7.5Hz,64x	四阶调制器+五阶滤波器	13.0	0.5
Intersil	ISL26102 ^[9]	21.7@10Hz,128x	三阶调制器+四阶滤波器	9.0	0.75
TI	ADS1232 ^[10]	21.1@10Hz,128x	三阶调制器+四阶滤波器	1.35	0.075

表 1-2: 国内主要高精度低速 $\Sigma-\Delta$ ADC 厂家代表性产品

公司	型号	有效位数 bits@5V	结构	模拟功耗 mA@5V	数字功耗 mA@5V
海芯	HX712 ^[11]	19.7@10Hz,128x	二阶调制器+四阶滤波器	0.9	0.1
芯海	CS1232 ^[12]	20.8@10Hz,128x	三阶调制器+四阶滤波器	3.0	0.4
芯易德	SDI0819 ^[13]	21.0@10Hz,128x	三阶调制器+四阶滤波器	1.6	

1.2 相关技术发展现状

自从 1960 年 C.C.Culter^[14]第一次提出 $\Sigma-\Delta$ 调制器的概念, 1962 年 H.Inose^[15]等人第一次将其应用于 ADC, $\Sigma-\Delta$ ADC 因其高精度和对模拟电路要求不高的优点, 经历了飞速发展。 $\Sigma-\Delta$ ADC 主要由前端的 $\Sigma-\Delta$ 调制器和后端的数字滤波器构成, 近年来, 关于 $\Sigma-\Delta$ 调制器的研究主要包括高阶结构、积分器和多位置量化器^{[16]~[18]}, 关于数字滤波器的研究主要包括优化实现结构和改善幅频特性^[29]。

关于高阶结构的研究: $\Sigma-\Delta$ 调制器阶数的提高会使得 $\Sigma-\Delta$ 调制器变得不稳定^[19], T.H.Kuo^[20]等人提出了采用根轨迹法(RLIUC: Root Locus Inside Unit Circle)来设计稳定的高阶单环 $\Sigma-\Delta$ 调制器, 该方法不需要不稳定恢复机制, 只需要通过优化噪声传递函数的零极点位置即可确保调制器不会进入不稳定状态。但为了提高稳定性, 该方法需要牺牲一部分信噪比。T.Hayashi^[21]等人提出了级联噪声整形(MASH: Multistage Noise-Shaping)结构, 该结构的思想是将高阶单环结构分解为级联的低阶单环结构, 其输出经过数字消除逻辑(DCL: Digital Cancellation Logic)电路保证调制器的输出结果只有最后一级的量化噪声, 从而获得高阶调制器的信噪比和低阶调制器的稳定性。受工艺偏差的影响, 模拟和数字滤波器的不匹配会导致第一级量化噪声不能被完全消除, 使得精度很难提高^[17]。通常的解决方法是采用高 DC 增益的运算互导放大器(OTA: Operational Transconductance Amplifier)来减少其对噪声传递函数极点位置的影响^[22], 而高 DC 增益的 OTA 需要很大的功耗^[23]。

关于积分器的研究: 传统 $\Sigma-\Delta$ 调制器的积分器是基于 OTA 的开关电容电路实现的, 随着工艺尺寸的缩小和供电电压的降低, OTA 的设计成为一个瓶颈^[24]。供电电压的降低, 导致信号摆幅变小, 要维持同样的动态范围就需要增大电容;

要维持同样的速度就需要增加电流；低输出阻抗导致放大器的增益变小，降低了 Σ - Δ 调制器的性能^[25]。为了解决这个问题，研究人员提出了基于比较器的积分器（CBSC: Comparator-Based Switched-Capacitor）^[25]和基于反相器的积分器（IBSC: Inverter-Based Switched-Capacitor）^[26]的新技术。CBSC 积分器采用一个比较器和两个电流源替换 OTA，二者最根本的区别是积分器从 OTA 的要求虚地条件变成检测虚地条件。CBSC 积分器的技术难点是在大电荷转移阶段 E1，由于比较器的固有延时和快速输出上升速率（大电流源），会引起积分电容的电流过冲，限制了精度的提高^[25]。IBSC 积分器采用反相器替换 OTA，为了保证低功耗使用 C 类反相器，可以在很低供电电压下工作。该结构的技术难点是反相器的 DC 增益不大，会引起电荷流失，影响精度的提高^[26]。

关于多位量化器的研究：展宽信号频带可以通过提高过采样率来实现，但功耗随采样频率的提高显著增加，所以要展宽信号频带，而过采样率又受到限制，只能通过提高信噪比来满足高精度的应用需求。除了可以采用提高 Σ - Δ 调制器阶数的方法来实现，还可以采用增加量化器位数来实现高精度^[27]。对于传统的多位量化器，通常使用 Flash ADC 和高线性度的反馈 DAC，而且 Flash ADC 的动态范围在低电压时会因比较器的偏差和迟滞而减小^{[17][27]}。为此研究人员提出了基于压控振荡器（VCO: Voltage-Controlled Oscillator）的量化器设计方法^[27]，该方法使用 VCO 和带复位功能的脉冲计数器来实现多位量化器，该量化器还具有一阶噪声整形功能，显著提高了信噪比和信号频带，但因为 VCO 本身的电压到频率的非线性使得精度很难再提高^[28]。

提高 Σ - Δ 调制器的阶数虽然会引入稳定性问题，但是可以提高精度；研究 IBSC 和 CBSC 可以在低电压情况下提高精度；增加量化器位数可以实现展宽信号频带的同时实现高精度，可见关于 Σ - Δ 调制器的研究是为了实现更高精度的 Σ - Δ ADC。

数字滤波器主要有 IIR-FIR、FIR2、POLY-FIR2 三种最基本的实现结构。IIR-FIR 是由 E.B.Hogenauer^[30]最早提出的，该结构由工作于过采样频率的积分器、降采样开关和工作于降采样频率的微分器级联构成。因其只需加减法运算和无需存储滤波器系数的优点，而且采用单级结构具有面积优势，所以在各种采样率变换场合获得广泛应用^[31]。由于 IIR-FIR 结构的积分器工作于过采样频率，所以功

耗比较大,因此 Yonghong Gao^[32]等人提出 FIR2 结构,该结构由 $\log_2 R$ 级工作在同频率的 FIR 滤波器 $(1+z^{-1})^L$ 构成。由于 FIR2 滤波器的工作频率以 2 倍逐级递减,所以功耗比 IIR-FIR 小。T.K.Shahana^[33]等人进一步提出了 POLY-FIR2 结构,该结构把滤波器 $(1+z^{-1})^L$ 进行多相分解,先降频再滤波,减少了每一级滤波器 $(1+z^{-1})^L$ 的功耗,进一步降低了数字滤波器的功耗。

关于改善幅频特性的研究:主要分低通带衰减、高旁瓣抑制^[29]。对于改善低通带衰减,文献[34]提出基于余弦(Cosine-Based)的补偿滤波器,文献[35]提出基于最大平坦误差准则(Maximally Flat Error Criterion)的设计方法来设计高阶补偿滤波器,文献[36]提出基于正弦(Sine-Based)的补偿滤波器。对于改善高旁瓣抑制,文献[37]提出基于零点旋转(Zeros Rotation)技术来增加旁瓣衰减,但需要以牺牲通带平坦度为代价;文献[38]提出采用切比雪夫锐化技术来获取更大的旁瓣衰减。文献[39]提出采用频率采样和插值有限冲击响应(IFIR: Interpolated Finite Impulse Response)技术,可以同时改善通带衰减和旁瓣抑制,但使电路更加复杂,而且只适用于降采样因子为偶数的场合。

Σ - Δ ADC 虽然降低了对模拟电路的要求,但却大大增加了数字电路的复杂度,数字电路的算法与结构的特殊性常成为限制芯片面积和功耗重要因素^[2]。因此,保证输出性能的前提下,减少面积和降低功耗,是数字滤波器的主要研究方向。

1.3 关键技术及其研究现状

随着 Σ - Δ ADC 的发展,设计精度更高,成本更低,功耗更低的 Σ - Δ ADC 芯片将成为当前 Σ - Δ ADC 的主要发展趋势。为了能将 Σ - Δ ADC 更广泛的运用到各个领域,研究人员正加紧对 Σ - Δ ADC 芯片的关键技术进行研究。

1.3.1 Σ - Δ 调制器技术

在 Σ - Δ ADC 中, Σ - Δ ADC 的精度主要由前端 Σ - Δ 调制器决定^[29]。 Σ - Δ 调制器阶数越高,精度越高,为了设计稳定的高阶单环 Σ - Δ 调制器,文献[40]提出了通过优化开环传递函数的零极点位置来保证 Σ - Δ 调制器的稳定,而且输入信号可以实现满幅值输入。文献[41]在文献[40]基础上进一步提高了信噪比,实现了降采样因子为 32,峰值信噪比达到 109dB 的四阶 Σ - Δ 调制器。

同样为了解决高阶单环 Σ - Δ 调制器不稳定的问题,研究人员提出了 MASH

结构, 该结构因模拟和数字滤波器不匹配限制了精度的提高, 所以 N.Maghari^[23]等人提出了 SMASH 调制器结构, 该结构不需要数字噪声消除滤波器, 从而排除了传统 MASH 结构中因模拟和数字滤波器不匹配而导致的第一级量化噪声泄漏对精度的影响。他们不断对 SMASH 结构进行改进, 提出了 MOS-MASH 结构^[42], 允许第一级和第二级使用不同阶数的噪声整形函数, 从而使第一级量化噪声的影响变得更小; 又提出了 SMASH² 结构^[43], 通过级联 SMASH 和 MASH 来提高调制器的 SNDR。为了消除第一级量化噪声的影响, 文献[44]提出基于延时的噪声消除技术 (DNC: Delay-Based Noise Cancelling), 该技术在第一级调制器里增加了一个数字延时单元。

采用多位 VCO 量化器可以提高精度, 但 VCO 本身电压到频率的非线性使得精度很难再提高, 所以文献[45]~[47]提出采用闭环结构来改善 VCO 的非线性。文献[45]通过在 VCO 前放置一个高增益的环路滤波器来抑制 VCO 的非线性; 文献[46]使用 VCO 实现积分器功能, 采用 VCO 的输出相位而不是输出频率, 显著提高环路增益; 文献[47]使用两个 VCO 分别实现了积分器和量化器的功能, 既利用积分器改善了 VCO 的非线性, 又保留了量化器固有的 DEM 功能, 采用该方法实现的 Σ - Δ 调制器, 在 130nm 工艺、1.2V 供电、2MHz 信号带宽、300MHz 采样率条件下, 消耗 1.2mW 和 0.03mm² 并获得 66.5dB 的 SNDR。文献[48][49]则采用开环结构来改善 VCO 的非线性。文献[48]使用了一个 PWM 调制器, 输入信号经 PWM 被调制成 2 个信号 V_{HIGH} 和 V_{LOW} , 这两个信号控制 VCO 只输出两个频率 f_{HIGH} 和 f_{LOW} , 从而保证了 VCO 的高线性度。采用该方法实现的 Σ - Δ 调制器, 在 90nm 工艺、1.2V 供电、8MHz 信号带宽、640MHz 采样率条件下, 消耗 4.3mW 和 0.1mm² 并获得 59.1dB 的 SNDR。文献[49]采用数字校正技术和自消除抖动技术, 以几乎全数字方式实现了调制器, 没有模拟积分器、反馈 DAC、比较器、参考电压, 对时钟偏差要求也不高。采用该方法实现的 Σ - Δ 调制器, 在 65nm 工艺、1.2V 供电、37.5MHz 信号带宽、2.4GHz 采样率条件下, 消耗 39mW 和 0.75mm² 并获得 70dB 的 SNDR。

为了改善 CBSC 积分电容的电流过冲对 Σ - Δ 调制器精度的影响, 文献[50]提出了 ACBSC (Amplifier & CBSC) 技术, 通过使用一个低增益放大器来减少电流源输出电压摆幅, 从而提高精度。采用该技术实现的三阶 Σ - Δ 调制器, 在 0.18um

Degree papers are in the “[Xiamen University Electronic Theses and Dissertations Database](#)”.

Fulltexts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.