

16 - Bit 三阶级联结构 Sigma - Delta 调制器的设计

李 威,李开航,王 亮

(厦门大学 福建 厦门 361005)

摘 要:设计一款可应用于压力传感器的高精度三阶 2 - 1 级联结构 Sigma - delta 调制器。Matlab Simulink 建模仿真表明,信号带宽为 500 Hz,过采样率为 128 的情况下,该调制器信噪比高达 119 dB。通过对调制器非理想因数的分析,采用典型的 0.35 μm 工艺整体实现该调制器,并用 Spectre 仿真,电路信噪比可达 106.2 dB,高于 16 位要求的 98 dB,整个调制器的功耗约为 7 mW。

关键词: Sigma - Delta 调制器; Simulink 行为建模; 信噪比; 开关电容电路

中图分类号: TN710

文献标识码: B

文章编号: 1004 - 373X(2010)04 - 012 - 04

Design of 16 - Bit Third Order Cascade Sigma - Delta Modulator

LI Wei, LI Kaihang, WANG Liang

(Xiamen University, Xiamen, 361005, China)

Abstract: A third order single bit 2 - 1 cascade sigma - delta modulator which can be applied to pressure sensor is presented. The sigma - delta modulator design flow contains system level and circuit level design. The oversampling ratio is 128 and signal bandwidth is 500 Hz. SNR achieves 119 dB by means of behavior modeling simulations with Matlab Simulink and exceeds 106 dB under circuit level. The whole modulator power consumption is estimated around 7 mW.

Keywords: Sigma - Delta modulator; Simulink behavior modeling; SNR; SC circuits

0 引 言

随着集成电路技术高速发展, Sigma - Delta ADC 因为其对工艺非理想因素抗干扰能力强和数字 CMOS 工艺兼容性好,以及高精度的特点,而广泛地应用于中低速的 ADC 中。Sigma - Delta 利用的关键技术是过采样和噪声整形^[1]。假定量化器的量化噪声与信号的统计特性无关时,量化器产生的量化噪声被视为白噪声,功率为一定值,而由于过采样的作用,量化噪声频谱被展开为原来的 OSR 倍,其中 OSR 为过采样率,因此,整个信号带内的噪声减小至原来的 1/OSR 倍,提高了信噪比。但仅靠提高过采样率达到高精度将导致采样频率过高而使得电路难以实现。噪声整形技术可以让有用的低频信号安全通过或是仅延迟几个采样周期,而对于噪声则是高通的,整个噪声被整形移至高频,最后则需要通过数字抽取滤波器进行低通滤波滤掉高频噪声,这样使得 Sigma - delta 技术在高精度的 ADC 应用得以实现。由于压力传感器除了在传统汽车、工业、医疗等领域的大量应用,还将在越来越多的消费领域应用,对 ADC 的性能,功耗,精度提出越来越高的要求。因此这里将设计一款可用应于压力传感器 ADC 的高精度 Sigma - Delta 调制器,从系统建模,参数的选定,

非理想因素的影响来分析实现调制器整体电路。

1 建模与仿真

Sigma - Delta 调制器的结构从量化器的位数上可分为一位量化器调制器和多位量化器调制器;从结构上分又可以分为单环路(Loop)结构和级联(Cascade)结构^[2]。所有这些结构的信号噪声传输函数都可表示为^[3]:

$$Y = Z^L \cdot X + (1 - Z^{-1})^L \cdot E \quad (1)$$

式中: Y 为调制器输出信号; X 为输入信号; E 为量化噪声; L 为调制器的阶数。由式(1)可得到当过采样率为 M , 量化器位数为 B 时,理想情况下信噪比(SNR)为^[1]:

$$\text{SNR}_{(\text{dB})} = 10 \log_{10} \left[\frac{3}{2} \cdot \frac{2L+1}{2L} M^{2L+1} 2^{2B-1} \right] \quad (2)$$

多位量化器的采用可以增加信噪比,还可以提高系统的稳定性。但由于其对反馈回路的 D/A 线性度要求极高,设计电路复杂,一般采用 1 b 量化器,由一个简单比较器就可以胜任。高阶 Loop 结构其稳定性很难保证,实际得到的信噪比将比式(2)预测的小很多^[4]。综合以上分析及考虑到该设计为 16 b 精度,确定调制器为过采样率为 128 b/s,结构为级联,阶数为 3 的 2 - 1 cascade 结构。如图 1 所示^[5]:当取 $a_1 = a_2 = a_3 = b_1 = 1$, $a_4 = b_2 = b_3 = 2$, $c_1 = c_2 = 1$, $d_1 = 1$, $d_2 = 2$ 时,得到的输

出将满足式(1),除了噪声传输函数变为式(1)中的两倍,相对理想信噪比减小 $10\lg 2 = 3$ dB,影响不大。但这种系数的设置将使得积分器的输出可能是量化器输出的好几倍,对运算放大器的摆幅要求过大,导致过载信号 X_{OL} 很小。为避免这种情况将在不改变传输函数式(1)的情况下,对量化器前的系数进行成倍缩减。如图1右下角所示:第“~”步,当 a_1, a_2 由1缩小 $10/3$ 倍至 $0.3, a_3$ 应由1放大 $10/3$ 倍至 $10/3$;第“@”

步,当 a_3, a_4 缩小 $20/3$ 倍, a_3 由 $10/3$ 变为 $0.5, a_4$ 由2变为 0.3 ,此时 c_1, b_1 应放大 $20/3$ 倍, c_1, b_1 由1变为 $20/3$,但由于1 b 量化器只检测输入信号的极性,其增益可以使任意的, c_1 的值并不重要;第“#”步, b_1, b_2, b_3 缩小 20 倍, b_1 由 $20/3$ 变为 $1/3, b_2, b_3$ 由2变为 0.1 ,此时 c_2 应放大 20 倍,由1变为 20 ,但由于第二级量化器同样为1 b, c_2 的值也不重要。经过大量仿真表明, SNR 可达 119 dB。

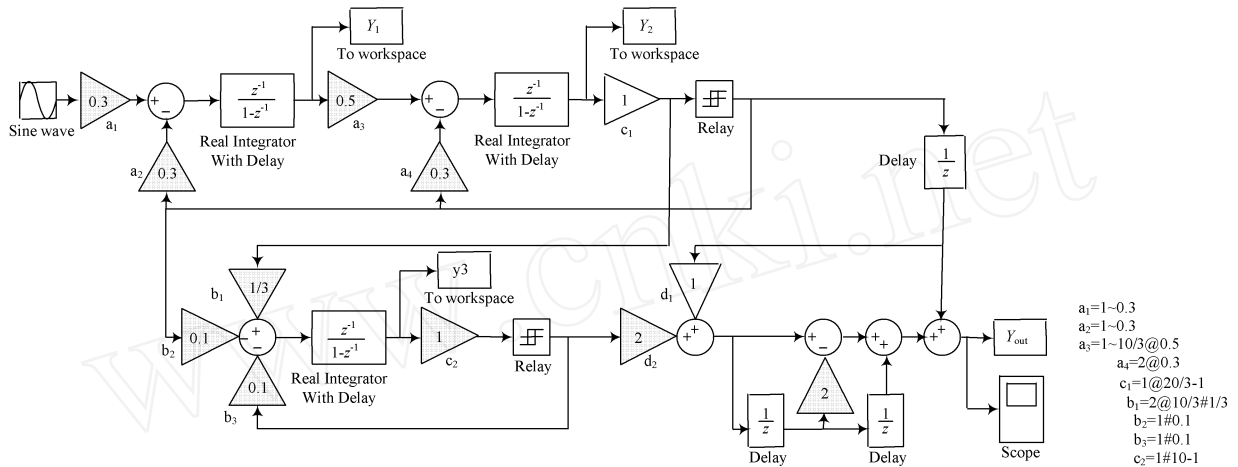


图1 3阶2-1cascade 调制器及其系数缩放

2 主要非理想因素分析

调制器中非理想因素除量化噪声外,还包含热噪声(Thermal Noise)、闪烁噪声(Flicker Noise)、时钟抖动(Clock Jitter)以及其他类型非理想因素,如运算放大器直流增益、带宽、摆率、建立时间等^[6]。由于该设计属于低频应用,故主要考虑热噪声与闪烁噪声、时钟抖动和运算放大器单位增益。

2.1 热噪声与闪烁噪声

热噪声的产生是由载流子的随机运动造成的。如图2所示,在开关电容取样电路中,当开关导通时,等效于取样电容 C_s 串联一个开关导通时等效电阻 R_{ON} 。在取样过程电荷转移时,会在输出端输出电阻产生的热噪声。在后半周期开关关闭时热噪声伴随采样信号存储在采样电容 C_s 上,差生误差。

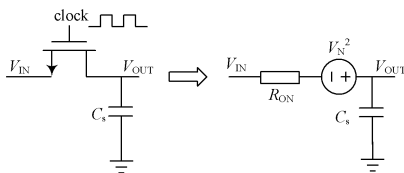


图2 取样开关电阻热噪声模型

热噪声一般可表示为:

$$V_N^2 = 4kTR_{ON} \quad (3)$$

热噪声经过采样电路 RC 滤波后可写成:

$$V_N^2 = \frac{4kTR_{ON}}{1 + (2fR_{ON}C_s)^2} df = \frac{kT}{C_s} \quad (4)$$

式(3)、(4)中: k 为波尔兹曼常数; T 为绝对温度系数。可看出热噪声虽然由 R_{ON} 产生,但结果却与 R_{ON} 无关,而与采样电容成反比。闪烁噪声也称为 $1/f$ 噪声,可以通过增大输入管尺寸,采取 P 管作为输入管等方法降低^[7]。

2.2 时钟抖动噪声

开关电容电路(SC)在每个时钟周期实现一次采样电容与积分电容之间的电荷转移。实际上,当模拟信号被采样后,时钟周期的变化不会对 SC 电路性能产生影响,因此时钟抖动对 SC 电路影响仅仅是发生在采样时刻。采样时钟的抖动会导致采样不均,增加量化器输出噪声能量,这种噪声的幅值是输入信号和时钟抖动的统计特性函数,因此,整个抖动噪声将因高的过采样率而减小^[8]。

2.3 积分器的直流增益

一个理想积分器的转移函数可表示为:

$$H(z) = z^{-1}/(1 - z^{-1}) \quad (5)$$

式中,假设积分器采用一个理想的运算放大器,也就是直流增益无限大。但实际电路直流增益为有限值,这将导致积分器电荷转移的不完全,这时式(5)将可改写为考虑泄露积分器转移函数:

$$H(z) = z^{-1}/(1 - z^{-1}) \quad (6)$$

式中:有限直流增益 A_0 为:

$$A_0 = 1 / (1 -) \quad (7)$$

这种有限直流增益将导致信号带内噪声的增加,导致调制器精度无法提高。

3 积分器的设计

Sigma - Delta 设计的核心部分为积分器,本文积分器采用传统的全差开关电容电路实现。这里为了论述简洁易懂,选用单端进行说明,如图 3(a)所示^[9], L_1, L_2 为两相不交叠时钟信号。

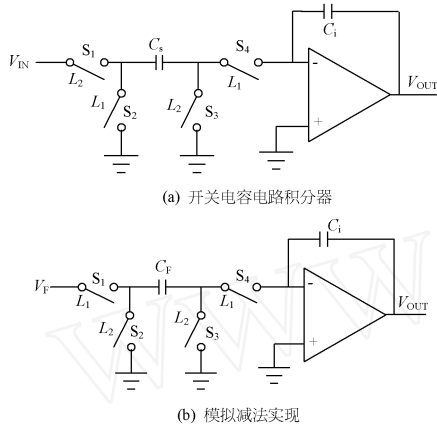


图 3 积分器及模拟减法实现

在时钟信号周期 $t(n - 1)$ 到 $t(n)$ 期间,当 L_2 为高电平时, L_1 为低电平: S_1, S_3 闭合,此时 S_2, S_4 打开,采样电容 C_s 对输入信号采样, C_s 与积分电容 C_i 上电荷分别为式(8)和式(9)所示:

$$q_s(n - 1) T = C_s V_{IN}(n - 1) T \quad (8)$$

$$q_i(n - 1) T = C_i V_{OUT}(n - 1) T \quad (9)$$

紧接着 L_1 为高电平, L_2 为低电平, S_1, S_3 打开, S_2, S_4 闭合, C_s 两端电位相等,电荷全部转移到 C_i 上,进行电荷的累加积分,此时 C_i 上电位为:

$$V_{OUT}(n - 1/2) T = \frac{C_s}{C_i} V_{IN}(n - 1) + V_{OUT}(n - 1) T \quad (10)$$

在 $t(n - 1/2) \sim t(n)$ 时间内, V_{OUT} 电压将不再变化,有 $V_{OUT}(n - 1/2)$ 等于 $V_{OUT}(n)$, 式(10)可以改写为:

$$V_{OUT}(n) T = \frac{C_s}{C_i} V_{IN}(n - 1) + V_{OUT}(n - 1) T \quad (11)$$

利用 z 变换,由式(11)可得到积分器转移函数:

$$V_{OUT}(z) = \frac{C_s}{C_i} \cdot \frac{z^{-1}}{1 - z^{-1}} V_{IN}(z) \quad (12)$$

这正是所需要的积分函数,可以看出, C_s / C_i 就是积分器前的系数。

模块中反馈用的是减法,减法原理如图 3(b)所示。 S_1, S_4 闭合; S_2, S_3 打开时,假设 V_f 是个正电压, C_f 左边电容将产生负电荷,根据电荷守恒原理, C_i 右边要产生等量的正电荷,当 S_1, S_4 打开, S_2, S_3 闭合,电容 C_s 放电,等待下一次减法。于是有:

$$V_{OUT}(n) = V_{OUT}(n - 1) - V_f(n - 1) \quad (13)$$

由前边的分析可知, C_s 的选取决定开关热噪声的大小。 C_s 取值越小,噪声将越大,取值越大,将浪费版图面积。根据信噪比要求,该设计第一级的采样电容取 0.6 pF ,第二,三级积分电容分别为 $0.9 \text{ pF}, 3 \text{ pF}$,见图 4。为满足增益和输出摆幅要求,运算放大器选择两级运算放大器,如图 5 所示。

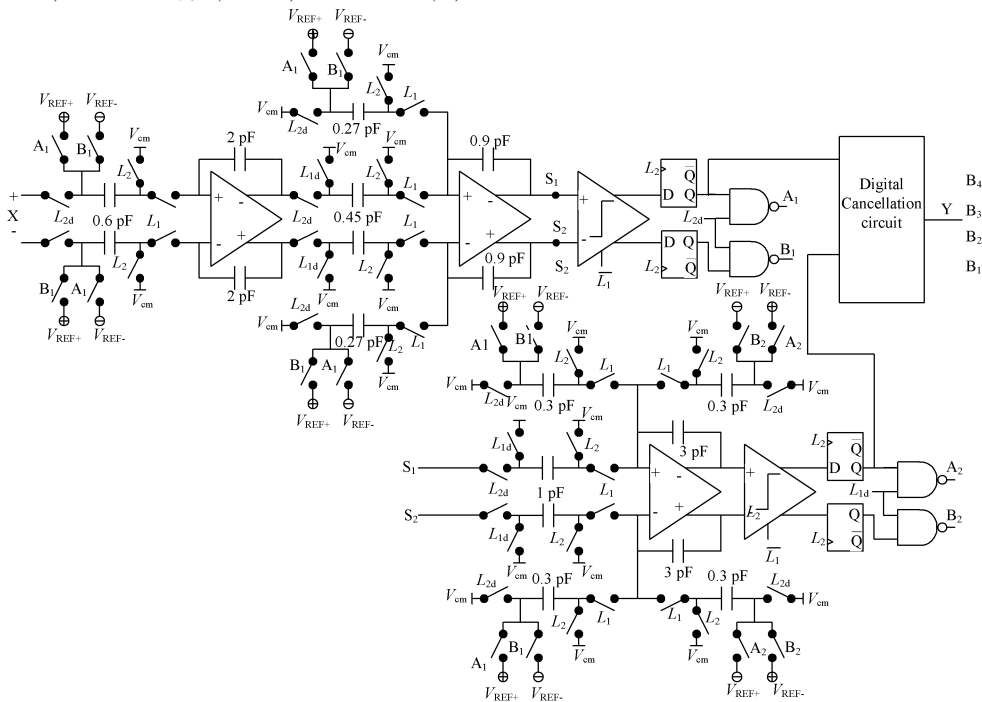


图 4 三阶 2 - 1 结构调制器电路图实现

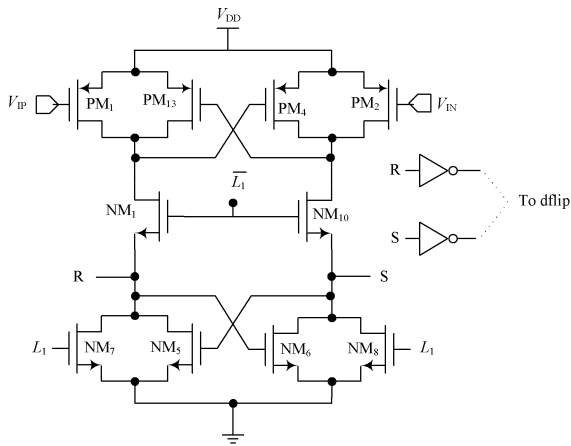


图5 两级运算

图5中运算放大器第一级采用折叠式运算放大器来增大输入摆幅。NM_{9a}, NM_{9b}, NM_{10a}, NM_{10b}起到稳定第一级共模输出作用,第二级共模稳定采用常见的开关定容共模反馈电路^[10]。仿真结果表明,增益为81 dB,带宽为80 Mb/s,摆率为35 V/ μ s。

4 比较器的设计

调制器另一个重要电路为比较器,如图6所示。PM₁, PM₂为输入管, PM₃, PM₄, NM₄, NM₆组成PMOS, NMOS锁存器; NM₇, NM₈, PM₉, PM₁₀为控制开关,输出经过缓冲后输入到D触发器锁存。当输入电压不相等时,两边输入管跨导电流产生差异,随着锁存器的正反馈作用,输出很快被拉到一高一低,完成比较。仿真表明比较器精度在8 mV以内,传输延迟约为550 ps,满足调制器要求。

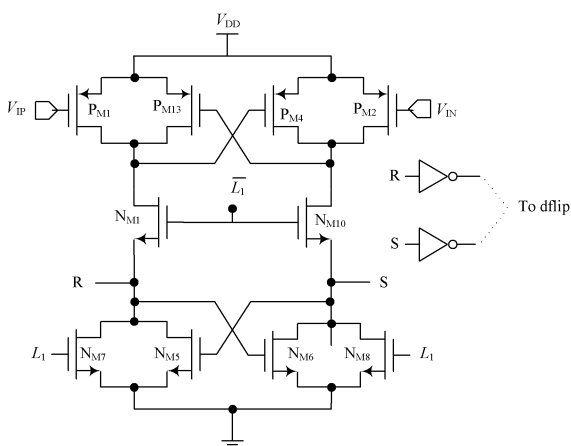


图6 比较器

5 调制器整体电路实现及仿真

图4中电源采用3.3 V;共模电平设为1.65 V;参考电平 V_{REF+} , V_{REF-} 分别为3.3 V, 0 V; L_1 , L_2 是由时钟电路产生的两相不交叠时钟; L_{1d} , L_{2d} 是 L_1 , L_2 的延

时,采用这两个延时时钟可以减小时钟馈通和电荷注入引起的噪声。当输入信号幅度为 V_{REF} 的-3 dB的正弦信号,信号频率为62.5 Hz,过采样率为128 b/s,将两级调制器输出0,1串码输入到如图1中的数字消除电路后,得到带符号4位二进制数,根据图1可分析,4位二进制数范围在[-6,7]之间,图中最高位 B_4 位为符号位。整体电路通过Spectre仿真结果如图7所示。图7(a)最下面为第一级二阶调制器输出结果;图7(b)为其做DFT分析图,从图中可以明显看噪声被整形频移至高频,左上上的4个图分别为数字消除后输出4 b二进制数 B_1 , B_2 , B_3 , B_4 。最后将结果导出,经过Matlab处理计算得到SNR为116.2 dB,如图8所示。整个调制器功耗估计为7 mW,达到了设计要求。

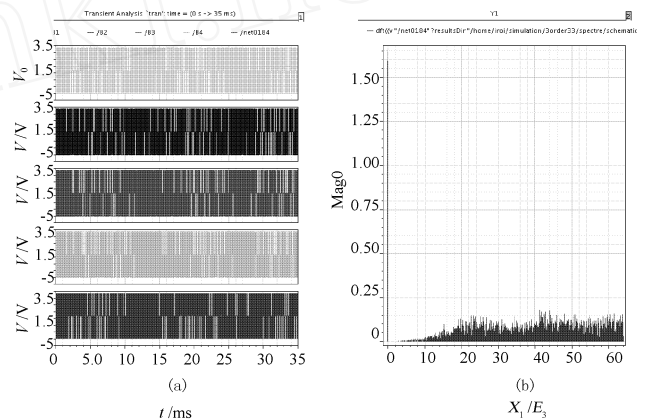


图7 Spectre 仿真结果图

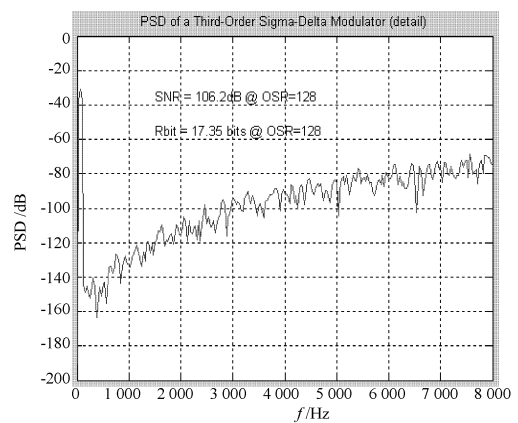


图8 SNR 计算

6 结语

本文正向设计实现了一个16 b高精度Sigma-Delta调制器。通过建模系数的确定,非理想因数的考虑优化设计模块,整体电路经过Spectre仿真表明,信噪比达到设计要求,整个电路功耗在7 mW左右,可应用于高精度压力传感器A/D。

(下转第28页)

3.2.2 噪声攻击

对嵌入水印的图像分别加入均值为 0, 方差为 0.002 的高斯噪声、强度为 0.005 的乘性噪声和 0.005 的椒盐噪声。表 1 给出在不同分量上嵌入水印后提取水印的相似度 Sim 值。从表中可以看出,在三个分量上嵌入水印后提取出的差别不大,性能相近,故三个颜色分量中嵌入水印对抗噪声攻击的性能相近。

表 1 不同分量上加水印加噪后提取水印的 Sim 值

噪声类型	颜色分量		
	B 分量	R 分量	G 分量
高斯噪声	0.875 8	0.881 0	0.787 3
椒盐噪声	0.890 4	0.904 6	0.872 2
乘性噪声	0.957 8	0.854 9	0.960 2

3.2.3 剪切攻击

表 2 给出在不同的颜色分量嵌入水印时,对含水印图像进行剪切后提取水印与嵌入水印的 Sim 值。

表 2 不同分量上加水印剪切后提取水印的 Sim 值

剪切	颜色分量		
	B 分量	R 分量	G 分量
剪切 1/4	0.856 0	0.881 0	0.854 0
剪切 1/2	0.503 2	0.506 1	0.506 5

表 2 中数据表明,不同的颜色分量对于抗剪切攻击性能没有多大的差别。上述攻击的实验表明,在绿色分量中嵌入水印有较好的鲁棒性。

4 结 语

这里对彩色数字图像水印算法进行分析和研究,提

出一种在彩色图像绿色分量的 DCT 中频系数上嵌入水印的算法。结果表明,在绿色分量中嵌入水印具有良好的不可感知性,并能很好地抵抗 JPEG 压缩、剪切和噪声等常见攻击,具有较强的鲁棒性。

参 考 文 献

[1] Liu Huajian, Kong Xiangwei, Kong Xiangdong, et al. Content - based Color Image Adaptive Watermarking Scheme [J]. IEEE,2001(2):41 - 44.

[2] 李诺,闫德勤.一种二维 DCT 彩色图像数字水印的新算法 [J]. 计算机工程与应用,2007,43(2):43 - 45.

[3] 刘挺,尤韦彦.一种基于离散小波变换和 HVS 的彩色图像数字水印技术[J]. 计算机工程,2003,29(4):115 - 117.

[4] 于帅珍,沈建国.一种基于 DWT 的彩色图像数字水印方案 [J]. 计算机工程与应用,2007,43(10):84 - 92.

[5] 凌贺飞,卢正鼎,杨双远.基于 YCbCr 颜色空间的二维 DCT 彩色图像数字水印实用技术[J]. 小型微型计算机系统,2005,26(3):482 - 484.

[6] 鲍昀霞.基于 DCT 的彩色图像数字水印算法研究[D]. 西安:西安建筑科技大学,2006.

[7] 张永,杨永锋,李敬明.基于 SVD 和 DWT 的彩色图像数字水印方案[J]. 兰州理工大学学报,2007,33(6):77 - 80.

[8] 于帅珍,沈建国.一种基于 DWT 的彩色图像数字水印方案 [J]. 计算机工程与应用,2007,43(10):84 - 86,92.

[9] 金正,杨卫民.基于小波变换的彩色图像数字水印新算法 [J]. 信息技术,2008(12):68 - 71.

[10] 徐宏伟.彩色图像数字水印的研究与实现[D]. 沈阳:沈阳工业大学,2007.

作者简介 柏 均 女,1979 年出生,陕西安康人,硕士研究生。主要研究方向为数字图像处理、数字水印技术。

(上接第 15 页)

参 考 文 献

[1] Phillip E Allen, Douglas R Holberg. CMOS 模拟集成电路设计[M]. 冯军,李志群,译.北京:电子工业出版社,2006.

[2] Schreier R, Temes G. C. Delta - Sigma Converters[M]. Beijing: Science Press, 2007.

[3] Ki Yong Nam, Sang - Min Lee, Su D K, et al. A Low Voltage Low - power Sigma - delta Modulator for Broadband Analog - to - digital Conversion[J]. IEEE Journal of Solid - State Circuits, 2005, 40:1 855 - 1 864.

[4] Brian Limketkai, Bret Victor. The Design of a High - Bandwidth Sigma - Delta Modulator [R]. EECS 247 Project, 2000.

[5] Rio R D, Medeiro F, Perez - Verdu B, et al. CMOS Cascade Sigma - Delta Modulators for Sensor and Telecom[M]. Bei -

jing: Science Press, 2007.

[6] Gray M Rovert, Wu Chou. Quantization Noise in Single - Loop Sigma - Delta Modulation with Sinusoidal Input [J]. IEEE Trans. on Communications, 1989, 37(6): 252 - 236.

[7] Behzad Razavi. 模拟 CMOS 集成电路设计[M]. 陈贵灿,陈军,译.西安:西安交通大学出版社,2006.

[8] Boser B E, Wooley B A. The Design of Sigma Delta Modulation Analog - to - Digital Converter [J]. IEEE Solid State Circ., 1998, 23:1 298 - 1 308.

[9] Naiknaware R, Fiez T S. Process - insensitive Low - power Design of Switch - capacitor Integrators[J]. IEEE Trans. on Circuits Syst. I, 2004(51): 1 940 - 1 952.

[10] Ojas Choksi, Carley L Richard. Analysis of Witched - Capacitor Common - mode Feedback Circuit [J]. IEEE Trans. on Circuits Syst. II, 2003(50): 906 - 917.

作者简介 李 威 男,1985 年出生,湖北崇阳人,在读硕士研究生。主要从事模/数转换设计方面的研究工作。