

一种自均流多模组大功率电源并联技术

朱维龙, 严泳兴, 黄金池, 陈文芄*

(厦门大学物理与机电工程学院, 福建 厦门 361005)

摘要: 针对大功率直流电源模块并联运行时的均流问题, 阐述了一种应用于大功率直流电源模块并联系统的数字化控制均流技术, 给出了并联系统的结构. 通过分析并联系统的环流、功率调节特性等, 提出了一种每一个子模块都独立采用双闭环反馈控制的技术. 通过仿真与实验, 该自均流并联系统可构成恒压电源及恒流电源, 输出电压、电流误差分别小于 0.83% 和 0.53%, 模块之间电流不均流度小于 3.78%, 稳定性好、瞬态响应快.

关键词: 直流电源; 双闭环控制; 自均流法

中图分类号: TN 86

文献标志码: A

文章编号: 0438-0479(2013)05-0638-05

电镀(电解)电源具有小电压、大电流的特点, 为了得到大的输出电流, 必须采用并联均流技术提高输出电流. 常用的均流技术有: 输出阻抗法、主从设置法、平均电流自动均流法、自动主从控制法等. 由于并联电源系统的强耦合性以及非线性等特点, 均流控制器参数的整定非常困难, 解决方案难度很大^[1-2].

针对电镀电源的特点, 本文采用自均流电流源模块并联的方式构成大电流电镀电源, 它可以根据需要, 使多个电源模块并联运行, 实现高精度恒流或恒压, 提高了电源的容量和可靠性.

1 自均流电流源模块并联原理

目前各种并联电源均流技术, 其基本原理都在刻意追求每一个并联子电源输出电流尽可能的达到均流. 其实从工作稳定、安全及可实现等方面考虑, 只要能保证工作在合理、安全的状态下, 总输出电压、电流小于《通信用半导体整流设备》标准中的 5%, 并联子电源不一定要严格达到均流. 自均流电流源模块并联的概念就是基于这个思路.

图 1 为 n 个自均流电流源子模块并联拓扑图, 输出总电流由各个子模块叠加而成. 每一个子模块都独立采用了电压为外环, 电流为内环的闭环系统, 参比电

压 V_d 作为输入确定各子模块输出电流大小.

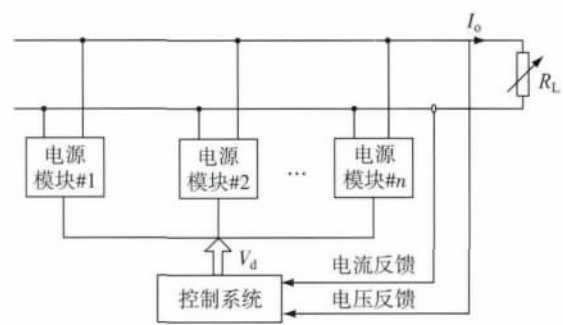


图 1 n 个自均流电流源子模块并联拓扑图

Fig. 1 Topological graph of n automatic current-sharing submodule

显然, 输出电流 I_o 为子模块输出电流 I_i 之和:

$$I_o = \sum_{i=1}^n I_i. \tag{1}$$

如果每一个子模块的输出特性一致, 有 $I_1 = I_2 = \dots = I_n$, 则输出总电流为:

$$I_o = nI_i, \tag{2}$$

子模块拓扑图见图 2.

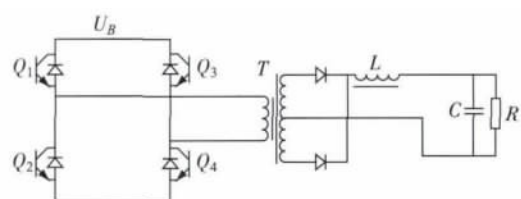


图 2 电源子模块逆变部分拓扑图

Fig. 2 The inverter topology of the submodule

收稿日期: 2013-01-05

基金项目: 厦门市科技计划项目(3502Z20123013)

* 通信作者: wxchen@163.com

图 2 中,并联的电容 C 和电阻 R 表示电镀电解液池的等效容抗及阻抗,电感 L 为扼流电感,母线电压由三相工频整流得到的 530 V 直流. 由于子模块完整电路较为复杂,图 2 只给出逆变部分的拓扑图,子模块的电压、电流双闭环子模块的 PI 控制框图如图 3 所示^[3]. 双闭环控制工作原理是:子模块电源输出电压 U_o . 经反馈环节 K_2 采样,得到反馈信号 U_f , U_f 与给定值 U_{ref} 进行比较,差值经 PI_1 环节生成外环(电压环)的给定信号 V_d , V_d 再与电流反馈值 I_f 比较,差值经 PI_2 环节形成电流误差信号. 电流误差信号输入具有电压电流双环控制的脉宽调制(PWM)开关电源控制芯片 UC3846 误差输入端,最终生成 PWM 控制信号^[4],控制 DC/DC 主电路中绝缘栅双板型晶体管(IGBT)的开关状态,实现恒压/恒流输出. 由于内环采用电流环控制,因此能有效地跟踪每一个开关周期电流变化的情况,及时跟踪由于电源电压波动或者负载快速波动导致的电流瞬间变化,避免了只采用电压环控制必须在几个工作周期后才能得到电流变化反馈的缺点,能够做到反馈控制及时准确. 参考文献^[5],合理选择控制环节中各参数,可保证有足够的幅度、相位裕量,保证了子模块的稳定度.

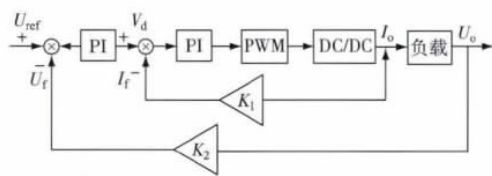


图 3 双闭环控制框图

Fig. 3 The control diagram of double close-loop system

子模块恒压/恒流输出特性见图 4. 模块工作模式由负载电阻确定,恒电流模式下,当输出电压低于最大电压 U_{max} 时,子模块恒电流输出,恒流值 I_{oi} 由参比电压 V_d 确定,输出功率随负载电阻增大而增大,当负载电阻增大到使输出电压达到最大电压 U_{max} 时,输出功率达到最大值 P_{max} . 随着负载电阻继续增大,子模块进入恒压状态,退出恒流区,输出电压恒为 U_{max} ,输出电流及输出功率随负载电阻的增大而减少,如图 4(b). 为避免负载电阻过低或短路情况下输出功率过大,模块设置了最大输出电流.

多模块并联时,应确保各子模块都处于恒流工作模式状态下,为了分析方便,将各子模块的输出特性在电流轴上相加构成合成输出特性曲线(如图 5).

图 5 中子模块输出特性在电压轴上不完全相等是由于各子模块特性略有差异导致的,工作时必须保证

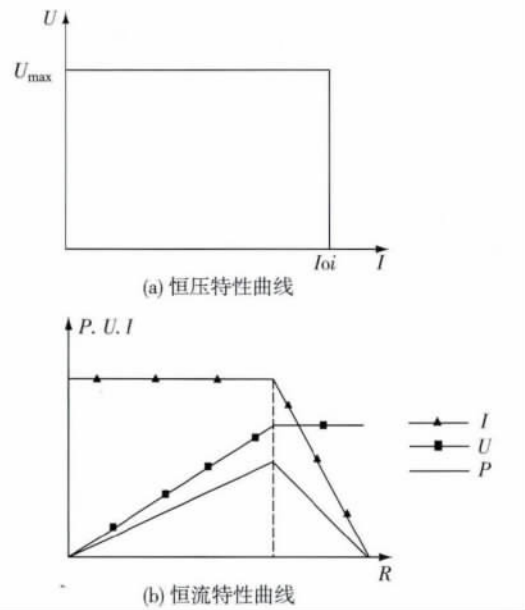


图 4 子模块输出特性曲线

Fig. 4 The submodule constant voltage/constant current output characteristics

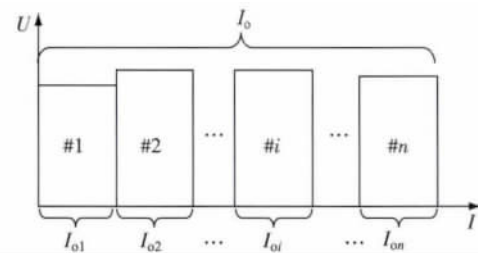


图 5 并联模块输出特性

Fig. 5 Parallel module output performance

输出电压低于电压最低子模块退出恒流区的电压. 考虑各子模块输出电流受控于参比电压,输出电流可表示为:

$$I_{oi} = K_i \times V_d. \tag{3}$$

K_i 为子模块电流控制系数,根据图 4 合成输出曲线,若各子模块输出特性一致,式(1)可改写为:

$$I_o = I_{o1} + I_{o2} + \dots + I_{on} = K_1 \times V_d + K_2 \times V_d + \dots + K_n \times V_d = V_d \sum_{i=1}^n K_i = V_d K. \tag{4}$$

式中, K 为控制系数,式(4)说明只要保证各子模块特性基本一致,工作在恒流模式下,输出电流就只与参比电压 V_d 有关,且每一个子模块输出电流为 I_o/n ,输出电流 I_o 被均匀地分配到每一个子模块上,实现了子模块电流的自均流.

图 1 所示的自均流结构最大的优点在于系统可根据投入工作子模块的数目,自动地均衡每一个子模块的电流^[6].

2 系统控制

图 6 所示自均流并联系统实际上是一个电流随动系统,输出电流受控于参比电压 V_d ,当引入不同的反馈环节后,可工作在恒流输出和恒压输出模式下.

恒流工作时,引入电流反馈环,如图 6(a)所示.恒流过程为:当输出电流出现 ΔI_o 偏差时,反馈电流信号 I_f 与设定值 I_r 比较,得到误差 ΔI_e ,通过控制系统计算, ΔI_e 转化成误差参比电压 ΔV_d ,根据式(4), V_d 将反馈信息平均分配给各子模块,使各子模块,产生调整电流 $-\Delta \frac{1}{n} I_o$,并联后总输出调整电流为 $-\Delta I_o$,保持了恒流输出^[7-8].

恒压工作时,引入电压反馈环,如图 6(b)所示.恒压过程为:当负载出现 ΔR_L 变化,导致输出电压出现 ΔV_o 偏差时,反馈电压信号 V_f 与电压设定值 V_r 比较,得到误差参比电压 ΔV_d , V_d 将反馈信息平均分配给各子模块,各子模块产生与 ΔR_L 变化方向相反的调整电流 $\Delta \frac{1}{n} I_o$,总输出调整电流为 ΔI_o ,由于 $V_o = I_o \times R_L$,当变大 ΔR_L ,则 ΔI_o 变小,输出电压减小,反之亦然,从而使输出电压 V_o 恒定^[9-10].

3 实验结果

对上述系统,以输出电压 $\hat{u}_o(s)$ 和输出电流 $\hat{i}_o(s)$ 为控制对象,以 4 个电源子模块并联为例做仿真分析,开关频率为 25 kHz,仿真结果如图 7, t_r 为电流上升稳定时间.从仿真结果可看出,该电路动态调整过程时间短,各子模块输出电流为总输出的 1/4,并联系统的动

态特性符合系统要求.

设计 3 个电源子模块(12 V/200 A),如图 1 方式连接进行实验,连续测试 5 h,改变电阻负载 R_L ,模拟工作工况的改变,观察其恒压、恒流特性.

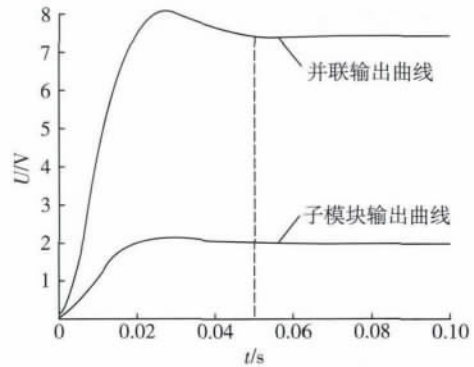


图 7 系统动态响应仿真曲线

Fig 7 The system dynamic response simulation curve

表 1~3 为恒压实验结果,系统在恒压模式下,输出电流 I_o 随负载 R_L 的减小而比例增加,输出电压 U_o 能够保持恒定,输出电压精度优于 1%,各模块电流不均衡度小于 5%;表 4 为恒流实验结果,系统在恒流模式下,随着负载 R_L 的改变输出电压 U_o .从 11.98 V 到 3.02 V 比例减小,输出电流 I_o 保持恒定,电流输出最大偏差为 0.53%,各模块电流不均衡度小于 5%.

表 1~4 显示:负载在 10~40 mΩ 之间变化时,输出电压最大误差 0.83%,模块之间最大不均衡度 3.78%;输出电流最大误差 0.53%,模块之间最大不均衡度 2.80%,表现出很好的恒压和恒流特性.模块之间的最大不均衡度小于 5%,所以本系统中各模块之间的电流不均匀程度亦不很大,显现出较好的自均流能力,是一种电路简单,效果较好的并联方法.

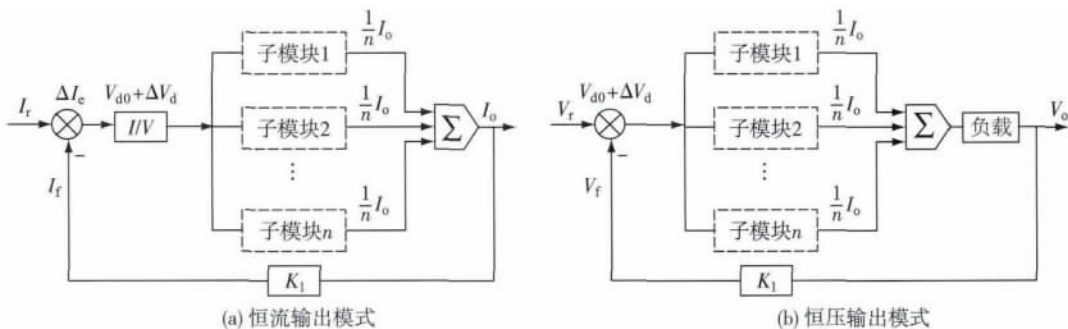


图 6 并联系统控制框图

Fig 6 The control diagram of the parallel system

表 1 恒压实验数据(40 mΩ)

Tab. 1 The constant voltage experimental data (40 mΩ)

T/h	R/mΩ	U _o /V	I _{o1} /A	I _{o2} /A	I _{o3} /A	I _o /A	电压误差/%	不平衡度/%
0.5	40.0	6.03	50.1	49.8	51.0	150.9	0.50	2.39
1	40.1	6.02	49.0	49.9	50.8	149.7	0.33	3.61
2	40.3	5.99	50.4	49.4	49.5	149.3	0.17	2.39
3	40.2	6.01	50.2	48.9	49.7	148.8	0.17	2.62
5	40.3	5.98	49.5	49.3	50.2	149.0	0.33	1.82

表 2 恒压实验数据(25 mΩ)

Tab. 2 The constant voltage experimental data (25 mΩ)

T/h	R/mΩ	U _o /V	I _{o1} /A	I _{o2} /A	I _{o3} /A	I _o /A	电压误差/%	不平衡度/%
0.5	25.0	6.05	81.6	78.9	81.5	242.0	0.83	3.34
1	25.2	6.02	78.1	80.4	80.6	239.1	0.33	3.13
2	25.1	5.99	79.2	79.9	80.2	239.3	0.17	1.26
3	25.2	5.97	80.6	80.5	77.8	238.9	0.50	3.78
5	25.2	5.98	81.2	79.5	78.8	239.5	0.33	3.10

表 3 恒压实验数据(10 mΩ)

Tab. 3 The constant voltage experimental data(10 mΩ)

T/h	R/mΩ	U _o /V	I _{o1} /A	I _{o2} /A	I _{o3} /A	I _o /A	电压误差/%	不平衡度/%
0.5	10.0	6.02	201.6	202.3	198.2	602.1	0.33	2.04
1	10.2	5.98	201.3	200.3	198.6	600.2	0.33	1.35
2	10.2	5.99	200.2	199.3	200.9	600.4	0.17	0.80
3	10.1	5.97	198.3	200.6	199.9	598.8	0.50	1.16
5	10.3	5.95	200.1	199.8	197.6	597.5	0.50	1.06

表 4 恒流实验数据

Tab. 4 The constant current experimental data

T/h	R/mΩ	U _o /V	I _{o1} /A	I _{o2} /A	I _{o3} /A	I _o /A	电流误差/%	不平衡度/%
0.5	40.0	11.98	101.6	101.5	99.5	301.6	0.53	2.09
1	40.1	11.97	101.2	100.1	98.6	300.6	0.20	2.26
2	25.0	7.56	101.3	101.3	99.3	300.9	0.30	1.99
3	25.2	7.54	100.6	100.3	99.1	299.9	0.03	1.15
4	10.0	3.01	100.9	99.5	99.1	299.5	0.17	1.80
5	10.2	3.01	101.2	98.4	99.1	298.7	0.43	2.80

4 结 论

本文提出模块电源并联方式可构成大电流恒压源

或者恒流源,恒压、恒流精度好.可根据实际需要灵活增加或者减少并联模块数量,为如何扩大电源容量的研究开辟了一个新思路,为大功率电源的设计提供了一个灵活、可靠的解决方案.

参考文献:

- [1] Choi H, Kim J W, Lee J H, et al. Modeling, analysis and design of 10 kW parallel module zero-voltage zero-current switched full bridge PWM converter[C]// IEEE APEC 2000. New Orleans, LA USA: IEEE, 2000: 321-326.
- [2] 马骏, 姚杜青, 罗军. 一种开关电源并联系统自动均流技术的研究[J]. 电源技术, 2011, 35(8): 969-973.
- [3] 张强, 姚绪梁, 张敬南. 大功率直流电源并联运行的均流控制[J]. 电力电子技术, 2011, 45(3): 73-75.
- [4] Texas Instruments. UC3846 : texas instruments-current mode PWM controller[EB/OL]. [2012-06-19]. <http://www.alldatasheet.com/datasheet-pdf/pdf/29377/TI/UC3846.html>.
- [5] 赵涛, 王相纂, 张海燕, 等. 基于双闭环控制技术的开关直流稳流电源[J]. 中国科学技术大学学报, 2007, 37(1): 104-108.
- [6] 杜鹏英, 任国海, 杜少武, 等. 基于 IGBT 器件的大功率 DC/DC 电源并联技术研究[J]. 原子能科学技术, 2006, 40(3): 326-330.
- [7] 高玉峰, 胡旭杰, 陈涛, 等. 开关电源模块并联均流系统的研究[J]. 电源技术, 2011, 35(2): 210-212.
- [8] 贾淑文. 智能并联均流的 DC-DC 变换器研究[D]. 西安: 西安电子科技大学, 2011.
- [9] Middlebrook R D. Input filter considerations in design and application of switching regulators[C]// IEEE Industry Applications Society Annual Meeting. Chicago, USA: IEEE, 1979: 366-382.
- [10] Kim J W, Choi H S, Cho B H. A novel droop method for converter parallel operation[J]. IEEE Transaction on Power Electronics, 2002, 17(1): 25-31.

Research of Automatic Current-sharing and Parallel Technology in High-power Switching Mode Power

ZHU Wei-long, YAN Yong-xing, HUANG Jin-chi, CHEN Wen-xiang*

(School of Physics and Mechanical & Electrical Engineering, Xiamen University, Xiamen 361005, China)

Abstract: In order to improve the current sharing of parallel high power supplies, a digital current sharing control technique for modularized power parallel operation is investigated in detail, and the structure of parallel system is presented. Based on the analysis of influence of paralleled system, characteristics of the power regulation, the double closed-loop control technique apply to each sub-module. Through the simulation and experiments, satisfactory dynamic and static performance of the power supply was obtained, the fluctuation of the voltage and current is less than 0.83% and 0.53%, the difference between the sub modules is less than 3.78%.

Key words: direct current power; double closed-loop; automatic current-sharing